SIMULAÇÃO DE TRANSISTORES MOS CONVENCIONAIS E SOI DE PORTA ÚNICA E DUPLA

Lígia Martins d'Oliveira[1], Michelly de Souza
Departamento de Engenharia Elétrica, Centro Universitário da FEI
ligia484@gmail.com, michelly@fei.edu.br

Resumo: Este trabalho apresenta uma comparação entre transistores MOS convencionais e SOI (*Silicon-on-Insulator*) de porta única e dupla. A análise é feita através de resultados de simulações numéricas bidimensionais de transistores com comprimento de canal variando entre 0,5 µm e 3 µm. Os resultados apresentados confirmam as vantagens da utilização de transistores de porta dupla sobre os demais dispositivos em todos os parâmetros observados.

1. Introdução

A partir do momento em que se viu que a tecnologia SOI seria capaz de manter a contínua redução das dimensões dos transistores MOS convencionais, estudos vêm sendo feitos para afastar limites tecnológicos [1]. Neste trabalho é apresentada uma comparação entre uma das soluções encontradas, o SOI de porta dupla (*double-gate* – DG), com o SOI de porta única (*single-gate* – SG) e o MOS convencional.

2. Metodologia Empregada

Para obtenção dos resultados, foram realizadas simulações numéricas bidimensionais utilizando o software Atlas da Silvaco [2] de transistores nMOSFET com as seguintes características tecnológicas: camada de silício de 80 nm de espessura, oxido de porta de 31 nm (idêntico para as duas portas dos transistores DG), óxido enterrado de 400 nm e a concentração da região de canal de $6x10^{16}$ cm^{-3}. Os comprimentos de canal estudados variam entre 0,5 e 3µm.

3. Resultados

Os parâmetros obtidos foram extraídos a partir de curvas I_D x V_G, simuladas em triodo, com V_D = 50 mV. A tensão de limiar (V_T) foi obtida utilizando o método do ponto máximo da segunda derivada da curva I_D x V_G e corresponde ao valor de tensão de porta necessária para levar o transistor à inversão [3]. A partir dos resultados apresentados na Figura 1, é possível notar que em menores comprimentos de canal há uma degradação de V_T, em consequência da perda de controle da porta sobre o canal. A análise dos valores nos permite concluir que V_T sofre maior queda em transistores MOS convencionais, chegando a uma diferença de 110 mV entre os transistores com L=0,5 e 3µm, enquanto esta degradação foi de 60 mV e 20 mV no caso dos transistores SG e DG, respectivamente.

A inclinação de sublimiar (S), indicativo da eficiência do dispositivo em passar do estado cortado para conduzindo foi obtida a partir do patamar mínimo do inverso da derivada da curva log(I_D) x V_G. A tabela 1 apresenta os valores extraídos para os transistores com L=0,5 e 3 µm. Os resultados apresentados permitem concluir que os transistores SOI DG atingem valores extremamente próximos ao ideal, que é de cerca de 60 mV/déc. em temperatura ambiente [3], mostrando vantagens no que diz respeito à velocidade de resposta do dispositivo. A degradação observada se mostra menor em dispositivos DG, atingindo cerca de 7% entre o maior e o menor comprimento de canal, seguido pelo SG com 21,5% e o MOS convencional, que apresenta cerca de 32% de aumento.

A transcondutância máxima ($g_{m,máx}$) foi obtida através do ponto máximo da derivada da curva de corrente. Seu valor representa a variação de corrente com a tensão de porta e é um dos parâmetros beneficiados pela redução do comprimento de canal dos dispositivos.

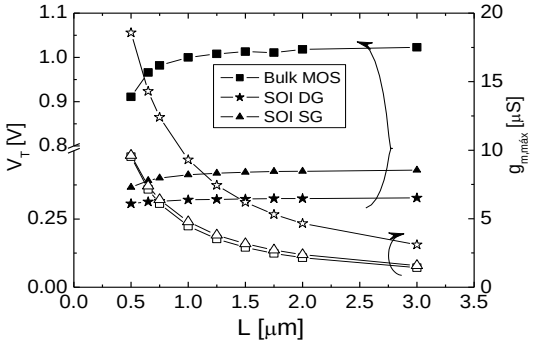

Figura 1 – Curvas de V_T e $g_{m,máx}$ em função de L

Tabela 1 – Inclinação de Sublimiar para L=0,5µm e L=3µm

S (mV/déc)	MOS Conv.	SOI SG	SOI DG
L = 3 µm	118,45	64,74	59,73
L = 0,5 µm	156,28	78,64	64,00

Os resultados apresentados na Figura 1 permitem notar que maior $g_{m,máx}$ é alcançado para transistores DG, seguido dos transistores SG. Os transistores MOS convencionais apresentam valores de $g_{m,máx}$ ligeiramente menores que o SG. A mobilidade máxima dos portadores para baixo campo elétrico pode ser obtida a partir do valor de $g_{m,máx}$ [3]:

$$\mu_0 = \frac{g_{m,máx}}{C_{ox}\left(W/L\right)V_D} \quad (1)$$

Os valores foram extraídos e resultaram em mobilidade praticamente igual para o DG e o SG. Desta forma, o aumento observado no valor de $g_{m,máx}$ do DG em relação ao SG está relacionado à largura de canal (W). A presença da segunda porta do DG aproxima seu comportamento ao de uma associação paralela de dois transistores SG, virtualmente dobrando seu W e, portanto, seu $g_{m,máx}$. Entre o SG e o MOS convencional, que tem o mesmo W, no entanto, foi observada uma redução na mobilidade do MOS convencional. Também foi extraído o coeficiente de degradação da mobilidade (θ), que é um parâmetro que dá dimensão à degradação da mobilidade de portadores que há com o aumento da tensão de porta. Este parâmetro foi extraído como apresentado na referência [3]. Observou-se melhora dos dispositivos SOI SG em relação ao MOS convencional. Entretanto, também se notou maior degradação em DG, conforme reportado na ref. [1].

4. Conclusões

Com as simulações realizadas e analisadas, é possível observar que dispositivos SOI de porta dupla não sofrem tanto com os efeitos de canal curto quanto os SOI de porta única e o Bulk MOS, principalmente, devido ao acoplamento de portas que aumenta o controle de V_G sobre a área de depleção do canal.

5. Referências

[1] J.P. Colinge, J.P., Silicon-On_Insulator Technology: Materials to VLSI, Kluwer Academic Publishers, NY, 2004.
[2] ATLAS User's Manual, Silvaco International, 2006.
[3] J. A. Martino, M. A. Pavanello, P. Verdonck, Caract. Elétrica de tecnologia e dispositivos MOS, Thomson, SP, 2004.

[1] Aluna de IC da FAPESP - Processo 2011/01756-6.